



KOREAN PATENT ABSTRACTS(KR)

Document Code:B1

(11) Publication No.1002787810000 (44) Publication Date. 20001023

(21) Application No.1019980016011 (22) Application Date. 19980504

(51) IPC Code:
H01J 17/48

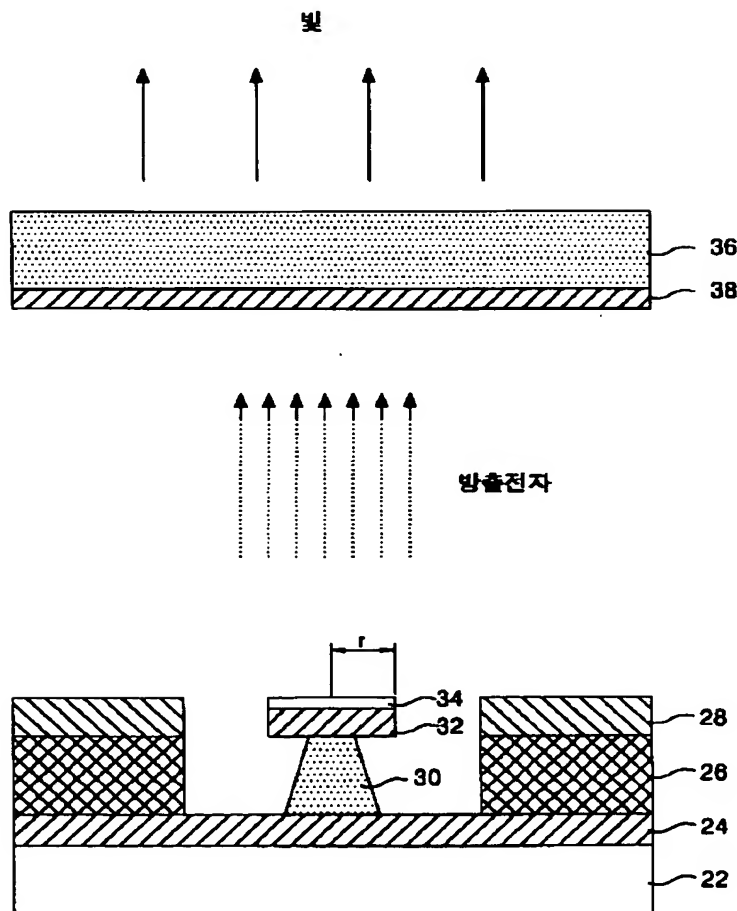
(71) Applicant:
LG ELECTRONICS INC.

(72) Inventor:
CHO, SU JE

(30) Priority:

(54) Title of Invention
METHOD FOR FABRICATING FIELD EMISSION EMITTER

Representative drawing



(57) Abstract:

PURPOSE: A method for fabricating a field emission emitter is provided to obtain high current density under a lower voltage by using a diamond-like carbon material.

CONSTITUTION: An emitter electrode(24) is arranged on a lower glass substrate(22). A plane emitter(34) is formed between connection portions (30,32) of the emitter electrode (24). A stacked structure of an insulating layer(26) and a gate (28) is formed on the emitter electrode(32) around the plane emitter(34). The plane emitter (34) is formed by using a diamond or a diamond-like carbon. The connection portions (30,32) are formed at a lower portion of the plane emitter(34). The connection portions(30,32) are used for connecting the plane emitter(34) with the

emitter electrode(24) and supporting the plane emitter(34). The connection portions

(30,32) are formed by a head portion(30) and a neck portion(32). A gate(28) is formed on the emitter electrode(24).

© KIPO 2002

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁸ H01J 17/48	(11) 공개번호 (43) 공개일자	특1999-0084341 .1999년 12월 06일
(21) 출원번호 (22) 출원일자	10-1998-0016011 1998년 05월 04일	
(71) 출원인	엘지전자 주식회사 구자홍	
(72) 발명자	서울특별시 영등포구 여의도동 20번지 조수재	
(74) 대리인	서울특별시 송파구 방이동 55-18 김영호	
심사청구 : 있음		
(54) 전계방출 이미터 및 그의 제조방법		

요약

본 발명은 다이아몬드상 카본 재질을 이용하여 저전압하에서도 높은 방출전류밀도를 얻을 수 있는 전계방출 이미터 및 그의 제조방법에 관한 것이다.

본 발명의 전계방출 이미터는 전자를 방출하기 위한 전자방출부와, 전자방출부에 전압을 인가하기 위한 이미터전극과, 전자방출부와 이미터전극 사이에 소정의 높이로 형성된 도체패턴을 구비한다.

본 발명에 의하면, 저전압에 의해서도 높은 전자방출특성을 지닌 평면형 다이아몬드상 카본 박막 이미터를 형성하는 것이 가능함으로써, 저전압으로 구동이 가능한 대면적의 FED를 구현할 수 있다.

도면도

도 2

명세서

도면의 간단한 설명

도 1은 종래의 다이아몬드 박막 패턴을 형성하는 공정을 단계적으로 나타내는 단면도.

도 2는 본 발명에 따른 다이아몬드상 카본 이미터가 적용된 전계방출디스플레이의 구조를 나타내는 단면도.

도 3은 도 1 및 도 2 에 도시된 이미터의 전계강도를 나타내는 그래프.

도 4는 본 발명에 따른 다이아몬드상 카본 이미터를 제조하는 공정을 단계적으로 나타내는 단면도.

<도면의 주요부분에 대한 부호의 간단한 설명>

- | | |
|-----------------|----------------------------------|
| 10, 22 : 하부기판 | 12, 24 : 이미터전극 |
| 14, 26 : 절연층 패턴 | 16, 28 : 게이트 패턴 |
| 18 : 분리층 | 20a, 20b, 34, 34a : 다이아몬드상 카본 박막 |
| 30 : 제1 도체패턴 | 32 : 제2 도체패턴 |
| 36 : 상부기판 | 38 : 형광체 |
| 40 : 코팅막 | |

발명의 상세한 설명

발명의 목적

발명에 속하는 기술 및 그 분야의 종래기술

본 발명은 전계방출 디스플레이 장치에 관한 것으로, 특히 다이아몬드상 카본 재질을 이용하여 저전압하에서도 높은 방출전류밀도를 얻을 수 있는 평면형 전계방출 이미터 및 그의 제조방법에 관한 것이다.

최근들어, 전계방출디스플레이(Field Emission Display: 이하, FED라 한다)는 우수한 디스플레이 특성 및 제조가격의 경쟁력 등의 이점으로 인하여 차세대 평면디스플레이 장치로 응용하기 위한 연구가 활발히 진행되고 있다. FED는 통상 전자방출 소자로부터 방출된 전자를 형광체에 충돌시켜 발생하는 빛을

이용하여 화상을 디스플레이하게 된다. 이러한 FED에 이용되는 전계방출 소자, 즉 전계방출 이미터로는 필형상의 이미터와, 평면상의 다이아몬드 박막이나 다이아몬드상 카본 박막을 이용한 이미터가 주로 사용되고 있다.

그런데, 필형상의 이미터는 전계방출의 효율이 좋은 미점을 가진 반면에 화학적으로 불안정하다는 단점을 가지고 있다. 다시 말하여, 필의 재료로는 통상 상대적으로 견고하고 제작이 용이한 금속, 즉 몰리브덴(Mo), 실리콘(Si) 등을 이용하는데 이 금속재료들은 필상태에서 화학적으로 불안정한 단점을 가지고 있다. 이로 인하여, 화학적으로 안정한 특성을 가진 다이아몬드상 카본 등과 같은 물질을 필상에 도포하여 이미터를 구현하는 방법이 시도되어지고 있다. 이러한 필형 이미터를 제조하는데 주로 이용되는 방법에는 스프트법과 실리콘을 식각하여 필을 제조하는 방법 등이 있다. 그런데, 전자의 스프트법은 기판이나 타겟을 회전시키며 필을 형성하는 것으로 공정상 정밀성을 요하므로 대면적화에 응용하기에는 어려움이 있다. 또한, 후자의 실리콘을 식각하여 필을 제조하는 방법은 실리콘 기판을 이용하므로 대면적의 기판을 마련하는데 어려움이 있다.

이에 따라, 필상태뿐만 아니라 평면상태에서도 낮은 인가전압으로 전자방출이 일어나는 다이아몬드나 다이아몬드상 카본을 이용하여 이미터를 구현하는 방식이 시도되고 있다. 특히, 이 다이아몬드나 다이아몬드상 카본 재질은 화학적 안정성이 우수하므로 초기의 전자방출 효율을 보다 안정하게 유지할 수 있는 이점을 가지고 있다.

그런데, 이러한 다이아몬드나 다이아몬드상 카본이 화학적 안정성이 우수하므로 FED에서 요하는 미세 패턴화가 어렵다. 다시 말하여, 다이아몬드 및 다이아몬드상 카본은 식각이 어려워 원하는 패턴을 얻기가 어려운 문제점을 지니고 있다. 이로 인하여, 다이아몬드 및 다이아몬드상 카본의 패턴화를 원활하게 하기 위해 기상화학적 증착에 원하는 부위만 다이아몬드 미세입자 등으로 전처리하여 증착시에 이부분만 선택적으로 다이아몬드가 형성되도록하여 패턴을 형성하는 방법과 도 1에 도시된 바와 같이 일종의 마스크를 이용하여 패턴을 형성하는 방법이 이용되고 있다.

도 1a를 참조하면, 유리기판(10) 상에 이미터전극(12), 절연층패턴(14) 및 게이트패턴(16)이 순차적으로 적층된 구조가 도시되어 있다. 이미터전극(12)은 일반적인 코팅공정으로 유리기판(10) 상에 형성된다. 절연층패턴(14)과 게이트패턴(16)은 이미터전극(12) 상에 절연물질층과 게이트물질층(즉, 금속층)을 순차적으로 형성한 후 포토리소그래피 공정을 이용하여 패턴화함으로써 형성된다.

이 게이트패턴(16) 상에는 도 1b에 도시된 바와 같이 분리층(18)이 형성되게 된다. 분리용 물질층(18)은 전자방출을 이용하여 유리기판(10)을 회전시키면서 증착시킴으로써 형성된다.

도 1c를 참조하면, 이미터전극(12)의 노출된 부위와 분리층(18) 상에 다이아몬드상 카본 박막(20a, 20b)이 형성되어 있다. 다이아몬드상 카본 박막(20a, 20b)은 다이아몬드상 카본 입자들을 물리증착공정 등을 이용하여 입사시킴으로써 이미터전극(12)의 노출된 부위와 분리층(18) 상에 형성되어진다.

그 다음, 분리층(18)과 함께 그 위에 형성된 다이아몬드상 카본 박막(20b)을 제거하여 도 1d에 도시된 바와 같이 이미터전극(12) 상에 평면의 다이아몬드상 카본 박막패턴(20a)이 형성되고 이 다이아몬드상 카본 박막패턴(20a) 주위의 이미터전극(12) 상에 절연층패턴(14)과 게이트패턴(16)이 순차적으로 적층된 구조의 전계방출 이미터 어레이를 완성한다.

여기서, 다이아몬드상 카본 박막패턴은 작은 전계에서도 전자를 방출하기 위하여 미세한 크기, 즉 수 마이크로미터(μm)의 크기를 가져야만 한다. 이를 위하여 상기 다이아몬드상 카본 박막패턴 제조방법에서 게이트층과 절연층을 정밀하게 식각하여야 한다. 그런데, 상기 게이트층과 절연층을 정밀하게 식각하는 것은 어려우므로 정밀하고 미세한 다이아몬드상 카본 박막패턴을 얻을 수 없는 문제점이 있다. 또한, 상기 다이아몬드상 카본 박막패턴 제조방법에 의하면 불필요한 부위에도 다이아몬드상 카본 박막이 형성되는 단점이 있다.

본 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 다이아몬드상 카본박막의 미세 패턴화가 가능한 전계방출 이미터 및 그 제조방법을 제공하는 것이다.

본 발명의 다른 목적은 낮은 전자방출전압을 지니면서 전자방출 효율이 안정적인 전계방출 이미터 및 그 제조방법을 제공하는 것이다.

본 발명의 또 다른 목적은 대면적 FED를 구현할 수 있는 전계방출 이미터 및 그 제조방법을 제공하는 것이다.

본 발명의 또 다른 목적은 제조공정을 단순화하여 제조비용을 저감할 수 있는 전계방출 이미터 및 그 제조방법을 제공하는 것이다.

본 발명의 구성 및 작용

상기 목적들을 달성하기 위하여, 본 발명에 따른 전계방출 이미터는 전자를 방출하기 위한 전자방출부와, 전자방출부에 전압을 인가하기 위한 이미터전극과, 전자방출부와 이미터전극 사이에 소정의 높이로 형성된 도체패턴을 구비하는 것을 특징으로 한다.

그리고, 본 발명에 따른 전계방출 이미터 제조방법은 기판상에 이미터전극을 형성하는 제1 단계와, 이미터전극 상에 도체패턴을 형성하는 2단계와, 도체패턴 상에 전자방출부를 형성하는 3단계를 포함하는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시예를 도 2 내지 도 4를 참조하여 상세하게 설명하기로 한다.

도 2는 본 발명의 실시예에 따른 전계방출 이미터가 적용된 FED의 단면도를 도시한 것으로써, 도 2의 FED는 하부 유리기판(22) 상에 형성된 이미터 어레이를 구비한다.

도 2의 FED에서 이미터 어레이는 하부 유리기판(22) 상에 배치된 이미터전극(24)과, 이미터전극(24) 상에 연결부(30, 32)를 사이에 두고 형성된 평면 이미터(34)와, 평면 이미터(34) 주변의 이미터전극(32) 상에 적층된 구조의 절연층(26) 및 게이트(28)를 구성으로 한다. 평면이미터(34)는 낮은 인가전압에 의해서도 전자방출이 용이하도록 상대적으로 표면에서 높은 전계강도를 나타내는 제질, 즉 다이아몬드 또는 다이아몬드상 카본 재질이 사용되게 된다. 이 평면 이미터(34)의 하부에 형성된 연결부(30, 32)는 'T'자 형상으로써, 평면 이미터(34)와 이미터전극(24)을 연결함과 아울러 평면 이미터(34)를 지지하게 된다. 이를 위하여, 연결부(30, 32)는 표면에 평면 이미터(34)가 형성된 머리부(30)와, 이미터전극(24)의 표면에서 소정의 높이로 형성되어 머리부(32)를 지지하는 네크부(32)로 구성된다. 하부 유리기판(22) 상에 배치된 이미터전극(24)은 연결부(30, 32)를 통하여 평면이미터(34)에 전압을 인가하게 된다. 이미터전극(24) 상에 절연층(26)을 사이에 두고 형성된 게이트(28)는 평면이미터(34)의 주위에 감한 전기장을 형성하여 평면이미터(34)로부터 전자가 방출되도록 한다. 다시 말하여, 평면이미터(34)는 이미터전극(24)과 게이트(28) 사이에 인가되는 전압에 의하여 전자들을 방출하게 된다.

그리고, 도 2에 도시된 FED는 상술한 이미터 어레이에 대향하여 소정의 이격거리를 갖고 배치되는 상부 유리기판(36)과, 상부 유리기판(36)의 저면에 도포된 형광체(38)를 구비한다. 상술한 평면이미터(34)로부터 방출되는 전자들은 상부 유리기판(36)과 형광체(38) 사이에 배치된 상부전극(34) 없음), 즉 애노드(Anode)에 인가되는 전압에 의해 가속되어 형광체(38)에 충돌함으로써 형광체로부터 빛이 발생하게 된다. 이미터 어레이와 형광체(38) 사이에는 적절한 전공도가 유지되어 있다.

이러한 구성에서, 다이아몬드 또는 다이아몬드상 카본 재질의 평면이미터(34)는 기존의 전계방출이미터와 대비하여 표면에서 높은 전계강도가 분포하게 된다.

도 3을 참조하면, 전계방출 이미터의 중심부로부터의 위치(r)에 대하여 이미터 표면에 분포하는 전계강도의 세기가 도시되어 있다. 도 3에서 곡선 a는 도 1에 도시된 종래의 평면 이미터(20b)의 표면에 분포하는 전계강도의 세기를 표시하고, 곡선 b는 도 2에 도시된 본 발명의 평면 이미터(34)의 표면에 분포하는 전계강도의 세기를 표시한다. 여기서, 본 발명에 따른 평면 이미터(34)의 표면에 분포하는 전계강도의 세기가 종래의 평면 이미터(20b)에 비하여 수배이상 큰 것을 알 수 있다.

도 4는 도 2에 도시된 전계방출 이미터 어레이의 제조공정을 단계적으로 나타내는 단면도를 도시한 것이다.

도 4a를 참조하면, 하부 유리기판(22) 상에 순차적으로 적층된 구조의 이미터전극(24), 제1 도체층(30a) 및 제2 도체층(32a)이 도시되어 있다. 이미터전극(24)은 통상의 기상증착법, 기상화학 증착법 및 전기도금법 등과 같은 일반적인 코팅공정에 의해 하부 유리기판(22)의 표면에 균일한 두께로 형성되게 된다. 이미터전극(24) 상에 순차적으로 적층된 제1 및 제2 도체층(30a, 32a) 또한 일반적인 코팅공정에 의해 형성되어진다. 여기서 제1 도체층(30a)의 재질로는 금속이 바람직하며, 제2 도체층(32a)은 금속이나 반도체 등을 사용할 수 있다.

도 4b를 참조하면, 이미터전극(24)의 표면에 형성된 제1 도체층 패턴(30)과, 그 위에 형성된 제2 도체층 패턴(32)이 도시되어 있다. 상부에 위치한 제2 도체층 패턴(32)은 적절한 포토레지스터 패턴을 이용한 포토소그라프 공정에 의해 패턴화함으로써 형성되게 된다. 제2 도체층 패턴(32) 하부의 제1 도체층 패턴(30)은 상기와 같은 공정을 이용하여 패턴화함으로써 형성되게 된다. 이때, 제1 도체층 패턴(30)은 제2 도체층 패턴(32)보다 더 안쪽으로 식각하게 된다. 이에 따라, 제1 도체층 패턴(30)과 제2 도체층 패턴(32)은 도 2에 도시된 바와 같이 'T'자 형상, 즉 머리부(32)와 네크부(30)로 이루어진 연결부로 형성되게 된다.

도 4c를 참조하면, 연결부가 형성된 이미터전극(24) 상에 도포된 코팅막(40)이 도시되어 있다. 코팅막(40)은 스펙코팅이나 기상화학증착법 등과 같은 방법에 의해 연결부가 형성된 이미터전극(24) 상에 평탄한 표면을 갖도록 형성된다.

이 코팅막(40)을 임의의 깊이만큼 식각하여 도 4d에 도시된 바와 같이 제1 도체층 패턴(30) 사이의 이미터전극(24) 상에 적절한 두께의 코팅막(40a)만이 남도록 한다.

도 4e를 참조하면, 제1 도체층 패턴(30) 사이의 코팅막(40a)과 제3 도체층 패턴(32) 상에 도포된 다이아몬드상 카본 박막(34a, 34)이 도시되어 있다. 다이아몬드상 카본 박막(34a, 34)은 레이저어블레이션, 이온빔스퍼터링 등의 기상증착법이나 기타방식에 의해 코팅막(40a) 및 제1 도체층 패턴(32)의 표면에 형성되게 된다.

그리고, 이미터전극(24) 상의 코팅막(40a)은 그 위에 형성된 다이아몬드상 카본 박막(34a)과 함께 제거함으로써, 도 4f에 도시된 바와 같이 제2 도체층 패턴(32)의 표면에 형성된 다이아몬드상 카본 박막, 즉 평면 이미터(34)가 형성된 전계방출 이미터 어레이가 완성되게 된다.

한편, 본 발명의 다른 실시 예로써 도 4e에 도시된 다이아몬드상 카본 박막(34a, 34)은 기상화학증착법에 의해 형성될 수 있다. 이 경우, 제1 도체층(32a)에 다이아몬드상 카본 박막의 형성이 용이하도록 도 4e에 도시된 최상부의 제2 도체층(32a)의 표면을 다이아몬드 입자 등을 이용하여 전처리하거나 촉매처리할 수 있다. 여기서, 제2 도체층(32a)의 재질로써 텅스텐(W)이나 니켈(Ni) 등과 같이 다이아몬드상 박막의 형성이 용이한 금속재질을 이용하는 것이 바람직하다. 이에 따라, 기상화학증착법을 이용하여 도 4e에 도시된 바와 같이 다이아몬드상 카본 입자들을 증착시키면 전처리된 제2 도체층 패턴(32)의 표면에만 다이아몬드상 카본 박막(34)이 형성되고 코팅막(40a) 및 다른 부분에는 결합력이 떨어지는 카본 화합물이 형성되게 된다. 이렇게 불필요한 부위에 형성된 카본 화합물은 초음파세정 등과 같은 물리적 방식과 코팅막(40a)의 식각공정에 의해 제거되게 된다.

결과적으로, 본 발명은 저전압에 의해서도 전자방출 특성이 높은 전계방출이미터를 제공할 수 있다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 전계방출 이미터 및 그의 제조방법에 의하면, 저전압에 의해서도 높은 전자방출특성을 지닌 평면형 다이아몬드상 카본 박막 이미터를 형성하는 것이 가능함으로써, 저전압으로 구동이 가능한 대면적의 FED를 구현할 수 있다. 또한, 본 발명에 따른 전계방출 이미터 제조방법은 일반화된 식각공정과 박막형성공정이 대부분이므로 제조공정을 단순화할 수 있을 뿐만 아니라 제조비용을 저감할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

- 청구항 1. 전자를 방출하기 위한 전자방출부와,
상기 전자방출부에 전압을 인가하기 위한 이미터전극과,
상기 전자방출부와 이미터전극 사이에 소정의 높이로 형성된 도체패턴을 구비하는 것을 특징으로 하는 전계방출 이미터.
- 청구항 2. 제 1 항에 있어서,
상기 이미터전극이 형성되는 기판과,
상기 전자방출부 주변에 형성되어 전자를 방출시키기 위한 전압을 인가하는 게이트전극과,
상기 이미터전극과 게이트전극 사이에 형성되는 절연층을 추가로 구비하는 것을 특징으로 하는 전계방출 이미터.
- 청구항 3. 제 1 항에 있어서,
상기 전자방출부는 평면형의 다이아몬드 박막패턴과 다이아몬드상 카본 박막패턴 중 어느 하나인 것을 특징으로 하는 전계방출 이미터.
- 청구항 4. 제 1 항에 있어서,
상기 도체패턴은
상기 전자방출부가 형성된 제1 도체패턴과,
상기 이미터전극 상에 형성되어 상기 제1 도체패턴을 지지하는 제2 도체패턴으로 이루어진 것을 특징으로 하는 전계방출 이미터.
- 청구항 5. 제 4 항에 있어서,
상기 제2 도체패턴의 재질은 금속물질인 것을 특징으로 하는 전계방출 이미터.
- 청구항 6. 기판상에 이미터전극을 형성하는 제1 단계와,
상기 이미터전극 상에 도체패턴을 형성하는 2단계와,
상기 도체패턴 상에 전자방출부를 형성하는 3단계를 포함하는 것을 특징으로 하는 전계방출 이미터 제조방법.
- 청구항 7. 제 6 항에 있어서,
상기 2 단계는
상기 이미터전극 상에 제1 도체층과 제2 도체층을 순차적으로 형성하는 단계와,
상기 제2 도체층을 포토리소그래피 공정을 이용하여 패턴화하는 단계와,
상기 제1 도체층을 상기 제2 도체층보다 만쪽으로 깊게 식각하여 패턴화하는 단계를 포함하는 것을 특징으로 하는 전계방출 이미터 제조방법.
- 청구항 8. 제 7 항에 있어서,
상기 제1 도체층의 재질은 금속물질인 것을 특징으로 하는 전계방출 이미터.
- 청구항 9. 제 6 항에 있어서,
상기 3단계는
상기 도체패턴이 형성된 이미터전극 상에 평탄한 표면을 갖도록 임의의 코팅막을 도포하는 단계와,
상기 도체패턴 보다 낮은 높이를 갖도록 상기 코팅막을 식각하는 단계와,
상기 도체패턴 및 코팅막의 표면에 전자방출용 물질층을 형성하는 단계와,
상기 코팅막과 코팅막에 형성된 전자방출용 물질층을 제거하는 단계를 포함하는 것을 특징으로 하는 전계방출 이미터 제조방법.

청구항 10. 제 9 항에 있어서,

상기 코팅막은 스퍼코팅법과 기상화학증착법 중 어느 하나를 이용하여 도포하는 것을 특징으로 하는 전계방출 이미터 제조방법.

청구항 11. 제 9 항에 있어서,

상기 전자방출용 물질층은 기상물리증착법을 이용하여 형성하는 것을 특징으로 하는 전계방출 이미터 제조방법.

청구항 12. 제 9 항에 있어서,

상기 전자방출용 물질층은 기상화학증착법을 이용하여 형성하는 것을 특징으로 하는 전계방출 이미터 제조방법.

청구항 13. 제 12 항에 있어서,

상기 기상화학증착법을 이용하는 경우 상기 2 단계는

상기 제2 도체층을 형성한 후 그 표면을 전처리하는 단계를 포함하는 것을 특징으로 하는 전계방출 이미터 제조방법.

청구항 14. 제 13 항에 있어서,

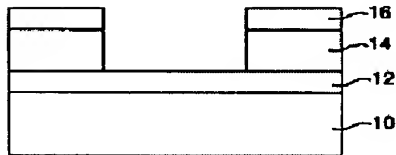
상기 제2 도체층은 상기 전자방출부의 형성이 용이한 금속재질로 이루어진 것을 특징으로 하는 전계방출 이미터 제조방법.

청구항 15. 제 6 항에 있어서,

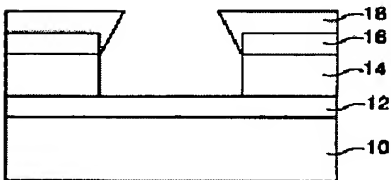
상기 전자방출용 물질층은 다이아몬드와 다이아몬드상 카본 중 어느 하나로 이루어진 것을 특징으로 하는 전계방출 이미터 제조방법.

도면

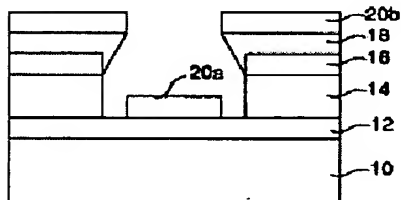
도면1a



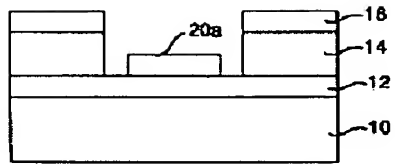
도면1b



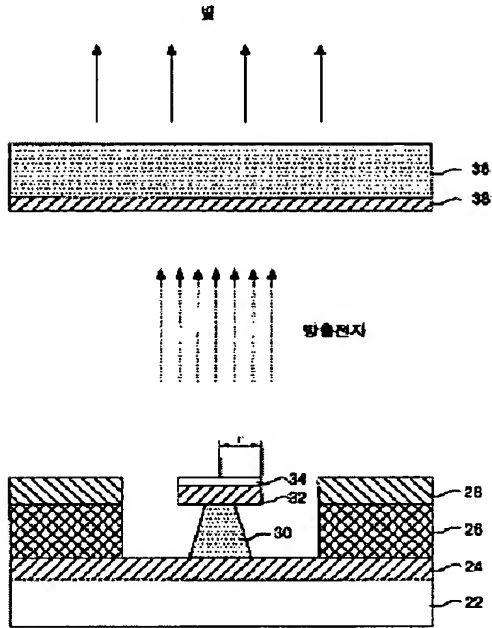
도면1c



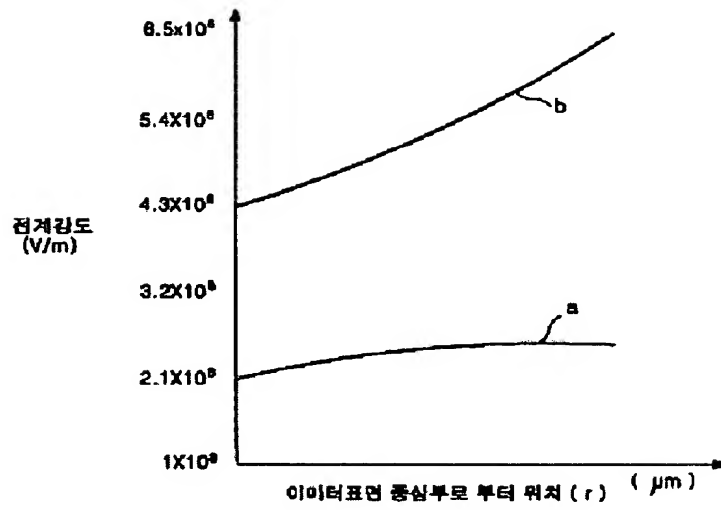
도면1d



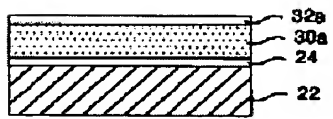
도면2



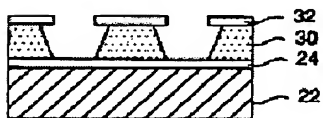
도면3



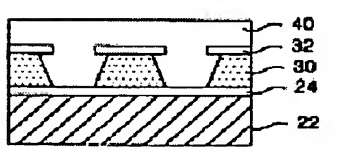
도면4a



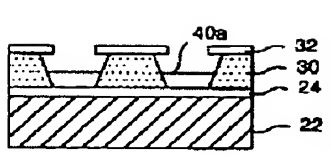
도면4b



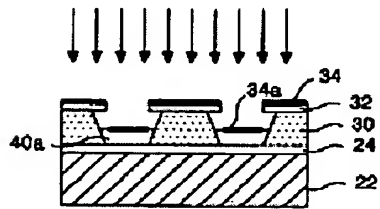
도면4c



도 4d



도 4e



도 4f

